**تأثیر متقابل فرکانس نمونه برداری و هزینه کنترل کننده های دیجیتال مبتنی برFPGA**

**عبدالصمد حمیدی,[[1]](#footnote-1)1، شهرام کریمی 2**

**1- دانشگاه لرستان، دانشکده فنی و مهندسی، گروه مهندسی برق**

**2- دانشگاه رازی، دانشکده فنی و مهندسی، گروه مهندسی برق**

**خلاصه**

فرکانس نمونه برداری در مبدلهای آنالوگ به دیجیتال محدودیتی است که باعث تأخیر در خروجی کنترل کننده های دیجیتال می شود. کارایی و عملکرد سیستم کنترل دیجیتال بطور قابل توجهی به فرکانس نمونه برداری بستگی دارد. در بیشتر مدارات های الکترونیک قدرت، فرکانس نمونه برداری پایین باعث کاهش عملکرد سیستم می شود. پایین ترین فرکانس نمونه برداری مدار با نرخ نایکوئیست مشخص می شود و بزرگترین فرکانس نمونه برداری توسط منابع سخت افزاری محدود می شود. در این مقاله تأثیر فرکانس نمونه برداری بر تعداد واحدهای عملکردی ، طول کلمه و در نهایت هزینه کنترل کننده های دیجیتال مبتنی بر FPGA مورد بررسی قرار گرفته است. مدار الکترونیک قدرت در نظر گرفته شده در این مقاله اینورتر سه فاز چهار ساق می باشد و سیستم کنترل دیجیتال آن مبتنی بر مدل کنترل پیش بین است. کنترل کننده دیجیتال روی FPGA اجرا می شود. با توجه به نتایج بدست آمده،تعداد واحدهای عملکردی و طول کلمه حداکثر فرکانس نمونه گیری را تعیین می کند. برای داشتن فرکانس نمونه برداری بزرگتر بایستی تعداد واحدهای محاسبه گر در کنترل کننده را افزایش داد که این عمل باعث افزایش هزینه پیاده سازی کنترل کننده خواهد شد.

**کلمات کليدي:** فرکانس نمونه برداری ، کنترل کننده دیجیتال ، واحدهای عملکردی ، طول کلمه و مبدل قدرت.

**1. مقدمه**

مبدل های قدرت کاربردهای زیادی دارند ، از جمله درایورها ، تبدیل انرژی ، منبع تغذیه بدون وقفه و تولید توزیع شده. در دهه گذشته ، کنترل این مبدل ها به طور گسترده مورد مطالعه قرار گرفته است و هر ساله کنترل کننده های جدیدی معرفی می شوند [1] - [3]. کنترل کننده های دیجیتال نامزد مناسبی برای کنترل این مبدل ها هستند [4]، [5].

مطالعات زیادی در مورد تأثیر فرکانس نمونه برداری بر عملکرد و پایداری مبدل ها گزارش شده است. در [6] ، تأثیر فرکانس نمونه برداری بر عملکرد یک اینورتر PWM سه فاز در یک درایور با فرکانس متغیر ، برای کنترل سرعت یک موتور القایی تحلیل شده است. در [7] ، نویسندگان با تحلیل تئوری و ارائه نتایج تجربی تأثیر زمان نمونه برداری بر رفتار یک مبدل بوست را نشان داده اند. در [8]،اثر نمونه برداری بر روی کنترل کننده دیجیتال جریان هیسترزیس در اینورتر منبع ولتاژ با استفاده از تجزیه و تحلیل حوزه زمان نمونه ها بررسی شده است. در [9] ، تأثیر فرکانس نمونه برداری مبدل آنالوگ به دیجیتال بر پایداری کنترل کننده و همچنین پهنای باند مبدل قدرت کنترل شده دیجیتال بررسی شده است. بسیاری از تحقیقات دیگر در مورد تجزیه و تحلیل فرکانس نمونه برداری در مبدل های قدرت وجود دارد [10] - [12]. اما تقریباً در این تحقیقات هیچ بحثی در مورد تأثیر فرکانس نمونه بر طول کلمه و هزینه اجرای کنترل کننده های دیجیتال وجود ندارد.

در این مقاله هدف ما بررسی تأثیر متقابل فرکانس نمونه برداری بر محدودیت هایی است که برای طول کلمه،دقت محاسبات و هزینه اجرای کنترل کننده دیجیتال با ممیز ثابت برای اینورتر سه فاز بوجود می آیند. الگوریتم کنترلی استفاده شده کنترل پیش بین مدل محدود (FS-MPC[[2]](#footnote-2)) میباشد. معماری کنترلر بر روی تراشه FPGA اجرا می شود. FPGA به دلیل معماری انعطاف پذیر ، محاسبات موازی و عملکرد با سرعت بالا انتخاب شده است. سپس برای نشان دادن تأثیر متقابل نمونه برداری ، طول کلمات مختلف با فرکانس نمونه برداری متفاوت را در نظر می گیریم. در اینجا منظور از هزینه، تعداد واحد عملکردی و مساحت استفاده شده در بستر FPGA میباشد.

**2. ساختار اینورتر و سیستم کنترل**

اینورتر سه فاز چهار ساق در شکل 1 نشان داده شده است. در این مدار *Su* ، *Sv* ،  *Sw* و *Sx* حالت های سوئیچینگ هستند که توسط کنترل کننده انتخاب می شوند. الگوریتم کنترلی که استفاده می شود FS-MPC است. مهمترین مزایای کنترل پیش بین عبارتند از:

• کنترل سیستم های چند متغیره.

• حذف طبقه مدولاتور.

• تابع هزینه را می توان بر اساس نیاز کاربر تعریف کرد.

• کنترل سیستم های خطی و همچنین غیرخطی امکان پذیر است.

FS-MPC برای سیستم هایی با ماهیت گسسته مناسب است. بنابراین ، از آنجا که مبدل های قدرت سوئیچینگ در یک فضای گسسته مورد تجزیه و تحلیل قرار می گیرند ، FS-MPC کاندیدای بسیار قدرتمندی برای این مبدل ها است. نمودار بلوکی برای FS-MPC در اینورتر سه فاز در شکل 1 نشان داده شده است. با توجه به این شکل ، جریان های خروجی اندازه گیری شده اند و در واحدهای عملکردی ، براساس معادلات ریاضی ، مقدار جدید برای این جریان ها پیش بینی می شود. از آنجا که تعداد کلیدها 4 عدد است ، 24 حالت سوئیچینگ وجود دارد. برای به حداقل رساندن خطای پیش بینی با استفاده از تابع هزینه برای همه ترکیبات سوئیچینگ ، در نهایت ترکیبی که تابع هزینه را به حداقل می رساند انتخاب می شود و به سوئیچ ها اعمال می شود.

با استفاده از تحلیل ریاضی ، مدل گسسته جریان پیش بینی شده توسط فرمول (1) بیان می شود می شود[3]

,

که در این رابطه ،  *R* مقاومت بار ،  *Ts* زمان نمونه برداری ،  *Rf و Lf* به ترتیب مقاومت و اندوکتانس فیلتر، و *im* جریان پیش بینی شده می باشند.



**شکل 1 -اینورتر چهار فاز سه فاز و کنترل کننده دیجیتال آن**

خطای محاسبه شده برای هر ورودی را می توان به صورت زیر تعریف کرد

(2)

که در آن ، *i\*m* جریان مرجع می باشد .

تابع هزینه با استفاده از رابطه زیر محاسبه می شود.

(3)

3**. تأثیر فرکانس نمونه برداری بر هزینه یک معماری دیجیتال**

کنترل پیش بینی ، همراه با تمام مزایایی که دارد ، برای پیاده سازی به کنترلر با کارایی بالا احتیاج دارد که منجر به الزامات سخت افزاری بسیار بالاتر می شود. در این الگوریتم کنترلی با محاسبه معادلات ریاضی پیچیده و طولانی ، سیستم ها کنترل می شوند. بنابراین ، در این تکنیک ، تعداد منابع سخت افزاری و هزینه اجرای معماری دیجیتال چالش ها هستند. یکی از عواملی که منابع سخت افزاری را تحت تأثیر قرار داده است ، فرکانس نمونه برداری است.

از آنجا که اینورتر مورد مطالعه دارای 16 ترکیب مختلف سوئیچینگ است ، جریانهای پیش بینی شده در(1) و تابع هزینه (3) در هر دوره نمونه گیری 16 بار محاسبه می شوند. بنابراین ، بسته به فرکانس نمونه برداری و سرعت محاسبات کنترل کننده ، دوره نمونه برداری از جریان های بار و دوره سوئیچینگ قابل ملاحظه هستند. اگر زمان محاسبه بیشتر از دوره نمونه برداری باشد ، جریان بار در اطراف مرجع آن نوسان می کند و منجر به افزایش ریپل جریان می شود [14]. زمان محاسبه به تعداد واحدهای عملکردی ، طول کلمه وفرکانس ساعت کنترل کننده بستگی دارد. دو ساختار حسابي (زمانبندي) از معماري ديجيتال براي محاسبه تابع هزينه در شكل 2 نشان داده شده است. در اين شكل a ، b و c ضرايب معادله (1) هستند.



**شکل 2 - ساختار زمانبندی برای محاسبه تابع هزینه.**

**a) با 4 واحد عملکردی.**

**b) با 6 واحد عملکردی.**

در شکل a2 ، چهار واحد عملکردی (دو جمع کننده و دو ضرب کننده) وجود دارد. بنابراین برای عملکرد هزینه محاسبات ، یازده حالت وجود دارد. در شکل b2 شش واحد عملکردی (سه جمع کننده و سه ضرب کننده) و هشت حالت وجود دارد. تقریباً زمان محاسبه (تعداد سیکل ساعت) هر حالت برابر با طول کلمه است. بنابراین تعداد سیکل های ساعت مورد نیاز در هر نمونه برابر است:

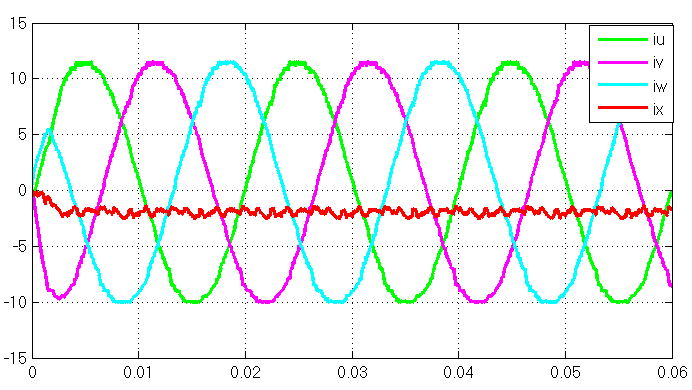
*Clock Cycles = 2n ×N × WL*  (4)

که در این رابطه n تعداد کلید ها ، N تعداد حالت ها (state) و WL کلمه طول میباشد.

**4. نتایج**

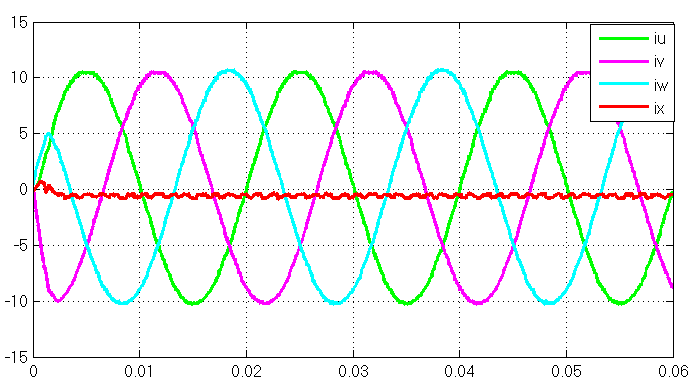
در این بخش برای نشان دادن تأثیر فرکانس نمونه برداری بر هزینه معماری دیجیتال ، دو مورد زیر در نظر گرفته شده است.

**4.1 -فرکانس ساعت برابر 100 مگاهرتز و طول کلمه(WL) برابر 32 بیت:** در این حالت ، مطابق (4) ، تعداد سیکل های ساعت برای شکل a2، 5632 سیکل است (16 × 11 × 32). این عدد برای شکل b2 ، 4096 سیکل است. بنابراین ، زمان لازم برای محاسبه تابع هزینه تمام ترکیبات سوئیچینگ در شکل a2و شکل b2 به ترتیب 32/56 میکروثانیه و 96/40 میکرو ثانیه است. در نتیجه ، حداکثر فرکانس نمونه برداری (*fsmax*) در این حالت برای شکل a2، 75/17 کیلوهرتز و برای شکل b2، 41/24 کیلوهرتز است. مساحتی که کنترلر در تراشه FPGA استفاده کرده است بر حسب تعداد اسلایس ها(slice) می باشد. در شکل a2تعداد اسلایس ها 181 و در شکل b2 برابر 273 عدد است. شکل موج جریانهای خروجی برای فرکانس نمونه برداری 15 کیلو هرتز در شکل 3 نشان داده است. در این حالت THD برای هر فاز برابر 5.25% میباشد.



شکل 3. جریانهای خروجی برای *fs*= 15 kHZ

4.2-. **-فرکانس ساعت برابر 100 مگاهرتز و طول کلمه(WL) برابر 8 بیت**: در این حالت تعداد سیکل های ساعت برای شکل a2 ، 1408و برای شکل b2 ،1024سیکل می باشد. بنابراین ، حداکثر فرکانس نمونه برداری برای شکل a2 و شکل b2 به ترتیب kHz 02/71و kHz65/97است. در این حالت برای شکل a2تعداد اسلایس ها 49 میباشد و در شکل b2 برابر 74 عدد است. شکل موج جریانهای خروجی برای فرکانس نمونه برداری 60 کیلو هرتز در شکل 3 نشان داده است. در این حالت THD برای هر فاز برابر 2.45% میباشد.در جدول 1 نتایج سایر موارد نشان داده شده است.



شکل 4. جریانهای خروجی برای *fs*= 60 kHZ

**جدول 1- نتایج مربوط به حالتهای مختلف با فرکانس ساعت برابر 100 مگاهرتز**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | شکل a2 | | | | شکل b2 | | | |
| WL | 8 | 16 | 24 | 32 | 8 | 16 | 24 | 32 |
| *fsmax* (KHZ) | 71 | 5/35 | 6/23 | 7/17 | 6/97 | 8/48 | 5/32 | 4/24 |
| slices | 49 | 95 | 138 | 181 | 74 | 143 | 208 | 273 |

با توجه به این نتایج ، بین فرکانس نمونه برداری و هزینه پیاده سازی کنترل کننده رابطه ای متقابل وجود دارد. با افزایش فرکانس نمونه برداری ، میزان تولید داده و مقدار MIPS (میلیون دستورالعمل در ثانیه) افزایش می یابد و ما به سرعت پردازش بالایی نیاز داریم ، این بدان معنی است که تعداد واحدهای عملکردی و در آخر هزینه سخت افزار افزایش می یابد. به همین دلیل ، طول کلمه باید کاهش یابد. برای فرکانس نمونه برداری کمتر ، تعداد واحدهای عملکردی کمتر است و ما هزینه اجرای کمتری داریم. . در شکل 3 این روابط به تصویر کشیده شده است.



**شکل 5 .تأثیر فرکانس نمونه برداری بر هزینه معماری دیجیتال.**

**a) تأثیر بر مساحت.**

**b) تأثیر بر طول کلمه.**

**5. نتیجه گیری**

در این تحقیق تأثیر متقابل فرکانس نمونه برداری بر هزینه (مساحت و تعداد واحدهای عملکردی) کنترل کننده دیجیتال مبتنی بر FPGA در کنترل پیش بین اینورتر سه فاز مورد بررسی قرار گرفت. ما دو ساختار محاسباتی را با چهار و شش واحد عملکردی در نظر می گیریم. در ساختار با چهار واحد عملکردی حداکثر فرکانس نمونه برداری 71 کیلوهرتز برای WL = 8 بیت و 7/17 کیلوهرتز برای WL = 32 بیت است. در ساختار دیگر حداکثر فرکانسهای نمونه برداری برای WL = 8 و WL = 32 بیت به ترتیب 6/97 و 4/24 کیلوهرتز است. بنابراین با افزایش فرکانس نمونه برداری ، تعداد واحدهای عملکردی (مساحت و تعداد اسلایس ها) افزایش می یابد ، در نتیجه هزینه اجرای کنترل کننده دیجیتال افزایش می یابد.

**6. مراجع**

1. Khajehoddin.S, et al.(2017). ‘Digital controller for a power converter'. U.S. Patent.

2. Rodriguez J, et al.(2004). 'Predictive control of three-phase inverter'. Electronics letters. 29;40(9):561-3.

3. Hamidi.A, et al.(2019) ‘Implementation of application specific soft-core architecture for switching converters‏." Computers & Electrical Engineering 73, 321-333.

4. Monti.A, Santi.E, Dougal.R.A, and Riva.M,(2003) “Rapid prototyping of digital controls for power electronics,” IEEE Trans On Power Electron, vol. 18, no. 3, pp. 915–923.

5. Buccella.C, Cecati.C, and Latafat.H,(2012) “Digital control of power converters—A survey,” IEEE Trans on Ind. Informatics, vol. 8, no. 3, pp. 437–447.

6. Anusha KV, Vijayakumari A. (2016)'The effect of sampling rates on the performance of a three phase PWM inverter and choice of appropriate sampling rates'. InPower and Energy Systems: Towards Sustainable Energy (PESTSE), Biennial International Conference (pp. 1-5).

7. Sameer.A, Balsara.P, and Bhatia.D.(2016) "Effect of sampling time and sampling instant on the frequency response of a boost converter." Industrial Electronics Society, IECON 2016-42nd Annual Conference of the IEEE.

8. Mayank.K, and Gupta.R (2017): "Sampled-Time-Domain Analysis of a Digitally Implemented Current Controlled Inverter." IEEE Trans on Ind. Electron. 64.1 217-227.

9. Chang.Y, and Lai.Y.(2007) "Effect of sampling frequency of A/D converter on controller stability and bandwidth of digital-controlled power converter." Power Electronics, ICPE'07. 7th Internatonal Conference on. IEEE.

10. Kumar.M, Gupta. R.(2016) “Sampled time domain analysis of digital pulse width modulation for feedback controlled converters”. IET Circuits, Devices & Systems., 10(6), pp.481-491.

11. ‏ Bongiorno.M, Svensson.J and A. Sannino.A, (2008)“Effect of sampling frequency and harmonics on delay-based phase-sequence estimation method”. IEEE Trans on power delivery, 23(3), pp.1664-1672.

12. Tu.Q, Xu.Z.(2011) “Impact of sampling frequency on harmonic distortion for modular multilevel converter”. IEEE Trans on Power Delivery, 26(1), pp.298-306.

13. Franklin.F, Powell.D, and Workman. M.L, (1998) “Digital Control of Dynamic Systems”, 3rd ed. Reading, MA: Addison Wesley,

14. Cortes.P, et al.(2012) "Delay compensation in model predictive current control of a three-phase inverter." IEEE Trans on Ind. Electron. 59.2 .pp- 1323-1325.

1. **Corresponding author: عبدالصمد حمیدی**

   **Email: hamidi.a@lu.ac.ir** [↑](#footnote-ref-1)
2. Finite Set Model Predictive Control [↑](#footnote-ref-2)